

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-246943

(43)Date of publication of application : 02.09.1992

(51)Int.Cl.

H04L 7/08

H04J 3/06

(21)Application number : 03-060858

(71)Applicant : NEC CORP  
NEC MIYAGI LTD

(22)Date of filing : 31.01.1991

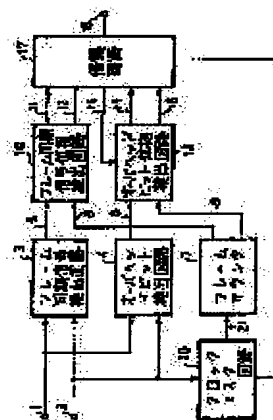
(72)Inventor : MATSUOKA ISAO  
MAKABE YOSHINARI

### (54) FRAME SYNCHRONIZING CIRCUIT

**(57)Abstract:**

**PURPOSE:** To shorten a time required for recovering a frame synchronization shifting state to a frame synchronization establishing state, and to prevent an erroneous synchronization establishment due to a pseudo frame synchronizing signal.

**CONSTITUTION:** This circuit is equipped with an overhead bit detecting circuit 4 which detects the normal receiving state of an overhead bit by monitoring an input signal by a 2 bit unit, and generates a signal indicating this detection, and an overhead bit phase detecting circuit, 13 starting when a protective circuit 17 generates a frame synchronization shifting signal, and a frame synchronizing signal phase detecting circuit 10 generates a coincidence signal, and which generates the coincidence signal or an anticoincidence signal by comparing the phase of the second signal generated by a frame counter 7 with the phase of the signal generated by the overhead bit detecting circuit 4. The protective circuit 17 operates an OR arithmetic operation at each coincidence and anticoincidence signal generated by the frame synchronizing signal phase detecting circuit 10 and the overhead bit phase detecting circuit 13, and generates the synchronization establishing signal at the time of the prescribed number of times of continu-



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

**[Date of final disposal for application]**

[Patent number]

**[Date of registration]**

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-246943

(43) 公開日 平成4年(1992)9月2日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 7/08	D	8949-5K		
H 0 4 J 3/06	B	8843-5K		

審査請求 未請求 請求項の数1(全 5 頁)

(21) 出願番号 特願平3-60858

(22) 出願日 平成3年(1991)1月31日

(71) 出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(71) 出願人 000161253

宮城日本電気株式会社  
宮城県黒川郡大和町吉岡字雷神2番地

(72) 発明者 松岡 勲

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 真壁 喜成

宮城県黒川郡大和町吉岡字雷神2番地 宮城日本電気株式会社内

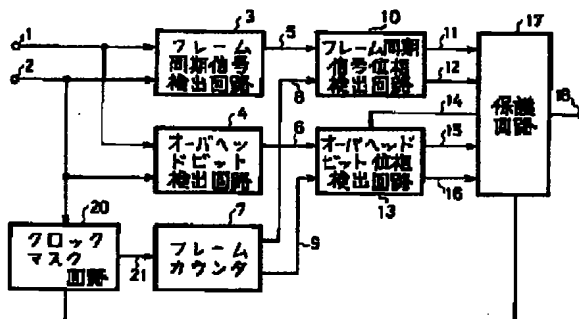
(74) 代理人 弁理士 井出 直孝

(54) 【発明の名称】 フレーム同期回路

(57) 【要約】

【目的】 フレーム同期外れ状態を同期確立状態に復帰させる時間を短縮しかつ疑似フレーム同期信号による誤り同期確立を防止することを目的とする。

【構成】 光端局装置のフレーム同期回路において、フレーム中のフレーム同期信号のほかにオーバーヘッドビットをフレーム同期確立用信号として使用することを特徴とする。



1

## 【特許請求の範囲】

【請求項1】 フレーム同期信号を伝送する第一タイムスロットと、サービスデータをオーバーヘッドビットとして伝送する第二タイムスロットと、 $mBnB$  ( $m < n$ ) 符号に変換された信号が伝送される2つのタイムスロットのそれぞれがこの第一タイムスロットおよび第二タイムスロットに後続する入力信号およびこの入力信号にかかわるクロック信号が光伝送路を經由して到来する光端局装置に含まれ、クロック信号を分周し、この分周されたクロック信号に基づき第一タイムスロットの位置を示す第一信号と第二タイムスロットの位置を示す第二信号とを生成するフレームカウンタと、フレーム同期信号を検出し、この検出を示す第三信号を生成するフレーム同期信号検出回路と、上記フレームカウンタで生成された第一信号の位相と上記フレーム同期信号検出回路で生成された第三信号の位相とを比較して両信号の位相の一致を示す一致信号または不一致を示す不一致信号を生成するフレーム同期信号位相検出回路と、入力信号のフレーム同期確立状態を示す同期確立信号またはフレーム同期外れ状態を示すフレーム同期外れ信号を生成する保護回路と、この保護回路がフレーム同期外れ信号を生成するときに上記フレームカウンタに入力されるクロック信号の1クロックをマスクするクロックマスク回路とを備えたフレーム同期回路において、入力信号を2ビット単位で監視してオーバーヘッドビットの正常受信状態を検出し、この検出を示す信号を生成するオーバーヘッドビット検出回路と、上記保護回路がフレーム同期外れ信号を生成しかつ上記フレーム同期信号位相検出回路が一致信号を生成するときに起動され、上記フレームカウンタで生成された第二信号の位相と上記オーバーヘッドビット検出回路で生成された信号の位相とを比較して両信号の位相の一致を示す一致信号または不一致を示す不一致信号を生成するオーバーヘッドビット位相検出回路とを備え、上記保護回路は、フレーム同期信号位相検出回路および上記オーバーヘッドビット位相検出回路で生成された一致信号および不一致信号ごとにオア演算を施し、一致信号にオア演算を施した信号が所定回数連続するときに同期確立信号を生成し、不一致信号にオア演算を施した信号が所定回数連続するときにフレーム同期外れ信号を生成する構成であることを特徴とするフレーム同期回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、ライン符号として $mBnB$  符号を採用した光端局装置に利用する。特に、オーディオ信号等のサービスデータ信号をオーバーヘッドビットとして主信号に付加して伝送するフレーム構成を持つ信号のフレーム同期回路に関する。

## 【0002】

【従来の技術】 従来この種のフレーム同期回路は、図2に示すように、 $EKhZ$  のクロック信号を $[(n \times 1) + 2$

2

$(n \times p) + (n \times Q)]$ 分周し、タイムスロットAの位置を示す信号を出力するフレームカウンタと、 $EKbit/s$  の入力信号を監視し入力信号中にフレーム同期信号が検出されると信号を出力するフレーム同期信号検出回路と、フレームカウンタから出力されるタイムスロットAの位置を示す信号とフレーム同期信号検出回路より出力される信号の位相とを比較し両信号の位相が合っていないときは不一致パルスを、位相が合っているときは一致パルスを出力するフレーム同期信号位相検出回路と、フレーム同期信号位相検出回路から出力される一致パルスまたは不一致パルスの数をカウントし、一致パルスが連続S回入力されるとフレーム同期が確立したことを示し、不一致パルスが連続十回入力されたときはフレーム同期が外れたことを示す信号を出力する保護回路と、保護回路から出力される信号が同期外れを示すときのみ不一致パルスでフレームカウンタに入力される $EKhZ$  のクロック信号を1クロックマスクするクロックマスク回路とから構成されていた。

## 【0003】

【発明が解決しようとする課題】 このように、従来のフレーム同期回路はフレーム中のフレーム同期信号のみ監視しているため、フレーム同期の復帰時間が長く、フレーム周期と同じ周期で擬似フレーム同期信号が入力されると誤ったフレーム同期を確立する欠点がある。

【0004】 本発明は、このような欠点を除去するもので、フレーム同期確立までの復帰時間が短くかつ疑似フレーム同期信号による誤ったフレーム同期確立を防止できるフレーム同期回路を提供することを目的とする。

## 【0005】

【課題を解決するための手段】 本発明は、フレーム同期信号を伝送する第一タイムスロットと、サービスデータをオーバーヘッドビットとして伝送する第二タイムスロットと、 $mBnB$  ( $m < n$ ) 符号に変換された信号が伝送される2つのタイムスロットのそれぞれがこの第一タイムスロットおよび第二タイムスロットに後続する入力信号およびこの入力信号にかかわるクロック信号が光伝送路を經由して到来する光端局装置に含まれ、クロック信号を分周し、この分周されたクロック信号に基づき第一タイムスロットの位置を示す第一信号と第二タイムスロットの位置を示す第二信号とを生成するフレームカウンタと、フレーム同期信号を検出し、この検出を示す第三信号を生成するフレーム同期信号検出回路と、上記フレームカウンタで生成された第一信号の位相と上記フレーム同期信号検出回路で生成された第三信号の位相とを比較して両信号の位相の一致を示す一致信号または不一致を示す不一致信号を生成するフレーム同期信号位相検出回路と、入力信号のフレーム同期確立状態を示す同期確立信号またはフレーム同期外れ状態を示すフレーム同期外れ信号を生成する保護回路と、この保護回路がフレーム同期外れ信号を生成するときに上記フレームカウンタ

3

に入力されるクロック信号の1クロックをマスクするクロックマスク回路とを備えたフレーム同期回路において、入力信号を2ビット単位で監視してオーバーヘッドビットの正常受信状態を検出し、この検出を示す信号を生成するオーバーヘッドビット検出回路と、上記保護回路がフレーム同期外れ信号を生成しかつ上記フレーム同期信号位相検出回路が一致信号を生成するときに起動され、上記フレームカウンタで生成された第二信号の位相と上記オーバーヘッドビット検出回路で生成された信号の位相とを比較して両信号の位相の一致を示す一致信号または不一致を示す不一致信号を生成するオーバーヘッドビット位相検出回路とを備え、上記保護回路は、フレーム同期信号位相検出回路および上記オーバーヘッドビット位相検出回路で生成された一致信号および不一致信号ごとにオア演算を施し、一致信号にオア演算を施した信号が所定回数連続するときに同期確立信号を生成し、不一致信号にオア演算を施した信号が所定回数連続するときにフレーム同期外れ信号を生成する構成であることを特徴とする。

【0006】

【作用】フレーム同期信号を送送する第一タイムスロットと、サービスデータをオーバーヘッドビットとして伝送する第二タイムスロットと、 $mBnB$  ( $m < n$ ) 符号に変換された信号が伝送される2つのタイムスロットのそれぞれがこの第一タイムスロットおよび第二タイムスロットに後続する入力信号およびこの入力信号にかかわるクロック信号が光伝送路を経由して到来する。

【0007】フレームカウンタは、このクロック信号を分周し、この分周されたクロック信号に基づき第一タイムスロットの位置を示す第一信号と第二タイムスロットの位置を示す第二信号とを生成する。フレーム同期信号検出回路は、フレーム同期信号を検出し、この検出を示す第三信号を生成する。オーバーヘッドビット検出回路は、入力信号を2ビット単位で監視してオーバーヘッドビットの正常受信状態を検出し、この検出を示す信号を生成する。フレーム同期信号位相検出回路は、フレームカウンタで生成された第一信号の位相とフレーム同期信号検出回路で生成された第三信号の位相とを比較して両信号の位相の一致を示す一致信号または不一致を示す不一致信号を生成する。保護回路は、入力信号のフレーム同期確立状態を示す同期確立信号またはフレーム同期外れ状態を示すフレーム同期外れ信号を生成する。オーバーヘッドビット位相検出回路は、この保護回路がフレーム同期外れ信号を生成しかつフレーム同期信号位相検出回路が一致信号を生成するときに起動され、フレームカウンタで生成された第二信号の位相と上記オーバーヘッドビット検出回路で生成された信号の位相とを比較して両信号の位相の一致を示す一致信号または不一致を示す不一致信号を生成する。保護回路は、フレーム同期信号位相検出回路および上記オーバーヘッドビット位相検出回路で生

4

成された一致信号および不一致信号ごとにオア演算を施し、一致信号にオア演算を施した信号が所定回数連続するときに同期確立信号を生成し、不一致信号にオア演算を施した信号が所定回数連続するときにフレーム同期外れ信号を生成する。この保護回路がフレーム同期外れ信号を生成するときに、クロックマスク回路はフレームカウンタに入力されるクロック信号の1クロックをマスクする。

【0008】

【実施例】以下、本発明の一実施例について図面を参照して説明する。図1はこの実施例の構成を示すブロック図である。この実施例は、図1に示すように、フレーム同期信号を送送する第一タイムスロットと、サービスデータをオーバーヘッドビットとして伝送する第二タイムスロットと、 $mBnB$  ( $m < n$ ) 符号に変換された信号が伝送される2つのタイムスロットのそれぞれがこの第一タイムスロットおよび第二タイムスロットに後続する入力信号およびこの入力信号にかかわるクロック信号が光伝送路を経由して到来する光端局装置に含まれ、クロック信号を分周し、この分周されたクロック信号に基づき第一タイムスロットの位置を示す第一信号と第二タイムスロットの位置を示す第二信号とを生成するフレームカウンタ7と、フレーム同期信号を検出し、この検出を示す第三信号を生成するフレーム同期信号検出回路3と、フレームカウンタ7で生成された第一信号の位相とフレーム同期信号検出回路3で生成された第三信号の位相とを比較して両信号の位相の一致を示す一致信号または不一致を示す不一致信号を生成するフレーム同期信号位相検出回路10と、入力信号のフレーム同期確立状態を示す同期確立信号またはフレーム同期外れ状態を示すフレーム同期外れ信号を生成する保護回路17と、この保護回路17がフレーム同期外れ信号を生成するときにフレームカウンタ7に入力されるクロック信号の1クロックをマスクするクロックマスク回路20とを備え、さらに、本発明の特徴とする手段として、入力信号を2ビット単位で監視してオーバーヘッドビットの正常受信状態を検出し、この検出を示す信号を生成するオーバーヘッドビット検出回路4と、保護回路17がフレーム同期外れ信号を生成しかつフレーム同期信号位相検出回路10が一致信号を生成するときに起動され、フレームカウンタ7で生成された第二信号の位相とオーバーヘッドビット検出回路4で生成された信号の位相とを比較して両信号の位相の一致を示す一致信号または不一致を示す不一致信号を生成するオーバーヘッドビット位相検出回路13とを備え、保護回路17は、フレーム同期信号位相検出回路10およびオーバーヘッドビット位相検出回路13で生成された一致信号および不一致信号ごとにオア演算を施し、一致信号にオア演算を施した信号が所定回数連続するときに同期確立信号を生成し、不一致信号にオア演算を施した信号が所定回数連続するときにフレーム同期外れ信号を生成する構成であ

5

6

る。

【0009】次にこの実施例の動作を説明する。端子1および2から入力されたEKbit/sの入力信号とEKHzのクロック信号とはフレーム同期信号検出回路3とオーバーヘッドビット検出回路4とに入力される。入力信号中にフレーム同期信号が検出されるとフレーム同期信号検出回路3は線5に信号を出力し、オーバーヘッドビット検出回路4は入力信号中にE1の反転値がE2の値に等しい関係が $(n \times Q / 2)$ 回連続して検出される正しいオーバーヘッドビットが受信されたことを示す信号を線6に出力する。フレームカウンタ7は端子2から入力されたEKHzのクロック信号を分周してタイムスロットAの位置を示す信号を線8に出力し、タイムスロットDの位置を示す信号を線9に出力する。フレーム同期信号位相検出回路10は線5と線8から入力される信号の位相を比較し、両信号の位相が合っていないときは不一致パルスを線11に出力し、両信号の位相が合っているときは一致パルスを線12に出力する。オーバーヘッドビット位相検出回路13は保護回路17から線14に出力される制御信号によりコントロールされ、端子18から出力される信号が同期外れ状態であつ線12に一致パルスが出力されたときのみ動作し、線6と線9から入力される信号の位相を比較し、両信号の位相が合っていないときは不一致パルスを線15に出力し、両信号の位相が合っているときは一致パルスを線16に出力する。保護回路17は線11と線15から入力される不一致パルスのオアをとり、また線12と線16から入力される一致パルスのオアをとり、一致パルスが連続S回入力されたときはフレーム同期が確立したことを示す

信号を、不一致パルスが連続T回入力されたときはフレーム同期が外れた事を示す信号を端子18に出力する。保護回路17は端子18に出力される信号がフレーム同期外れを示すときのみ線11と線15から入力された不一致パルスをオアした信号を線19に出力してクロックマスク回路20で端子2から入力されるEKHzのクロック信号を1クロックマスクして線21に出力する。

【0010】

【発明の効果】本発明は、以上説明したように、オーバーヘッドビットもフレーム同期確立用の信号として使用するので、フレーム同期外れ状態からフレーム同期を確立するまでの復帰時間が短くなり、さらに擬似フレーム同期信号がフレーム周期で存在しても誤ってフレーム同期が確立することを防止できる効果がある。

【図面の簡単な説明】

【図1】 本発明実施例の構成を示すブロック構成図。

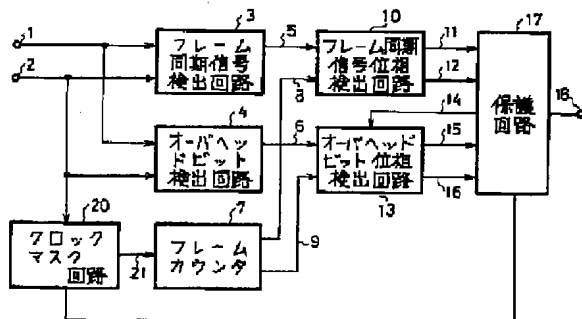
【図2】 従来例の構成を示すブロック構成図。

【図3】 本発明実施例が対象とするフレームの構成図。

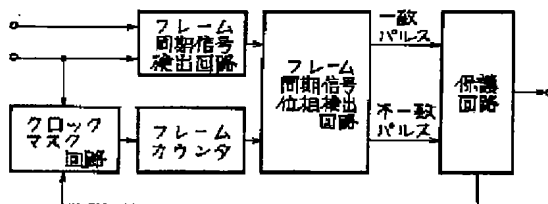
【符号の説明】

- 1、2、18 端子
- 3 フレーム同期信号検出回路
- 4 オーバヘッドビット検出回路
- 7 フレームカウンタ
- 10 フレーム同期信号位相検出回路
- 13 オーバヘッドビット位相検出回路
- 17 保護回路
- 20 クロックマスク回路

【図1】



【図2】



(5)

特開平4-246943

【図3】

